

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-178951

(43)Date of publication of application : 11.07.1990

(51)Int.Cl.

H01L 21/90  
H01L 23/522

(21)Application number : 63-331528

(71)Applicant : NEC CORP

(22)Date of filing : 29.12.1988

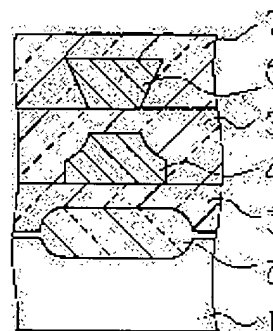
(72)Inventor : TOMINAGA MAKOTO

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

PURPOSE: To increase access speed by forming inclinations in the mutually opposite directions to the side faces of oppositely faced lower layer wiring and upper layer wiring so as to reduce the surface areas of the oppositely faced wirings.

CONSTITUTION: An element isolation oxide film 2 is formed onto a semiconductor substrate 1, an element is shaped and a first inter-layer insulating film 3 is formed, an aluminum alloy film is shaped onto the insulating film 3, and the aluminum alloy film is etched to form a first layer wiring 4. The wiring 4 is isotropic-etched first at that time, and tapers are shaped to the upper side faces of the first layer wiring 4 through isotropic etching while executing deposition to sidewalls etched. A second inter-layer insulating film 5 is formed, a second layer aluminum alloy film is shaped, the aluminum alloy film is etched while inhibiting deposition onto side-walls and a second layer wiring 6, side faces of which are formed into reversely tapered shapes, is formed, and an insulating protective film 7 is shaped onto the wiring 6. Consequently, the opposed surface areas of the first layer wiring 4 and the second layer wiring 6 are reduced, thus diminishing parasitic capacitance. Accordingly, access speed can be increased.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-178951

⑬ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)7月11日

H 01 L 21/90  
23/522

V

6810-5F

7454-5F H 01 L 23/52

B

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭63-331528

⑰ 出 願 昭63(1988)12月29日

⑱ 発 明 者 富 永 誠 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体装置

特許請求の範囲

対向して設けられた下層配線と上層配線とを含む多層配線を有する半導体装置において、対向する前記下層配線と上層配線の側面は対向する配線の表面積を小さくするように互に逆方向の傾斜を有することを特徴とする半導体装置。

発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置に関し、特に多層配線を有する半導体装置の配線の形状に関する。

〔従来の技術〕

従来多層配線を有する半導体装置は第3図に示すように、第1層配線4A及び上層の第2層配線6Aとも、その断面形状は長方形となってい

た。

〔発明が解決しようとする課題〕

上述した従来の多層配線を有する半導体装置では、各層の配線の断面形状は長方形となっているため、配線間の対向する部分の表面積は、各配線幅の寸法により定まり、配線幅の寸法を大きくすればその分だけ各層の配線間の寄生容量が大きくなるため、半導体装置のアクセス速度が遅くなるという欠点がある。

〔課題を解決するための手段〕

本発明の半導体装置は、対向して設けられた下層配線と上層配線とを含む多層配線を有する半導体装置において、対向する前記下層配線と上層配線の側面は対向する配線の表面積を小さくするように互に逆方向の傾斜を有するものである。

〔実施例〕

次に本発明について図面を参照して説明する。

第1図は本発明の第1の実施例の断面図である。

本第1の実施例は2層配線を有する半導体装置

の例で、半導体基板 1 上に選択酸化法により素子分離酸化膜 2 を設け、各種半導体素子を形成後第 1 の層間絶縁膜 3 を設け、更にその上にアルミ合金膜をスパッタ法等により形成する。次でパターンニングされたフォトリジストをマスクにこのアルミ合金膜をエッチングし、第 1 層配線 4 を形成する。この際、まずリン酸、硝酸、氷酢酸の混合液で等方的に軽くエッチングし、その後 C C Ⅲ を含む混合ガス等で、エッチングされた側壁にデポジションを施しながら異方的にエッチングすることにより第 1 層配線 4 の上側面にテーパーを形成でき、表面積を小さくできる。その後第 2 の層間絶縁膜 5 を形成したのち第 2 層目のアルミ合金膜を成膜する。次でこの第 2 層目のアルミ合金膜を C C Ⅲ を含む混合ガスで塩素系ガスの混合比を上げる等の工夫により、側壁へのデポジションを極めて抑制しながらエッチングすることにより、側面が逆テーパー状に形成された第 2 層配線 6 を形成する。次でその上に絶縁保護膜を形成し半導体装置を完成させる。

- 3 -

このように第 1 の実施例によれば、第 1 層配線 4 と第 2 層配線 6 との対向する表面積は少くなるため、寄生容量は小さくなる。

第 2 図は本発明の第 2 の実施例の断面図である。

本第 2 の実施例は 3 層のアルミ合金配線を有するものであり、第 1 層と第 3 層の配線 4、9 の形成法は、それぞれ第 1 の実施例の第 1 層と第 2 層の配線 4、6 と同様の方法で形成する。第 2 層配線 6 A は、第 2 の層間絶縁膜 5 の上に形成したアルミ合金膜をリン酸、硝酸、氷酢酸の混合液で軽くエッチングした後、C C Ⅲ を含む混合ガス等で側壁へのデポジションを極めて抑制しながらエッチングすることにより、上面と下面の表面積を小さくした形状を得る。

このように第 2 の実施例によれば、対向する配線の側面は互に逆方向の傾斜を有しているため、配線間の寄生容量を小さくすることができる。

〔発明の効果〕

以上説明したように本発明は、下層配線と上層

- 4 -

配線の対向している表面積を減少させるように、各層の配線の側面に互に逆方向の傾斜を持たせることにより、各層の配線間の寄生容量を低減することができるため、半導体装置のアクセス速度を向上させることができるという効果がある。

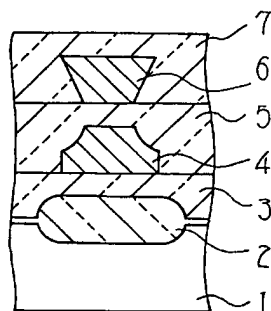
#### 図面の簡単な説明

第 1 図及び第 2 図は本発明の第 1 及び第 2 の実施例の断面図、第 3 図は従来の半導体装置の一例の断面図である。

1 … 半導体基板、2 … 素子分離酸化膜、3 … 第 1 の層間絶縁膜、4、4 A … 第 1 層配線、5 … 第 2 の層間絶縁膜、6、6 A … 第 2 層配線、7 … 絶縁保護膜、8 … 第 3 の層間絶縁膜、9 … 第 3 層配線。

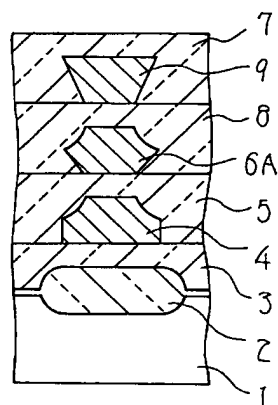
代理人 弁理士 内 原 晋

- 5 -

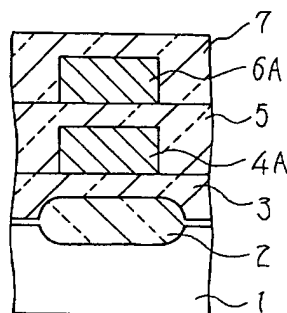


第 1 図

- 1: 半導体基板
- 2: 素子分離酸化膜
- 3: 第 1 の層間絶縁膜
- 4: 第 1 層配線
- 5: 第 2 の層間絶縁膜
- 6: 第 2 層配線
- 7: 絶縁保護膜
- 8: 第 3 の層間絶縁膜
- 9: 第 3 層配線



第 2 図



第 3 図